

*Date: November 11, 2003*

### *Declaration*

*I, Michihiko Matsuba, President of Fukuyama Sangyo Honyaku Center, Ltd., of 16-3, 2-chome, Nogami-cho, Fukuyama, Japan, do solemnly and sincerely declare that I understand well both the Japanese and English languages and that the attached document in English is a full and faithful translation, of the copy of Japanese Unexamined Patent No. 2001-257729 laid open on September 21, 2001.*

A handwritten signature in black ink, appearing to read 'm. matsuba', with a stylized, cursive script.

*Michihiko Matsuba*

*Fukuyama Sangyo Honyaku Center, Ltd.*



INTERFACE DETECTING CIRCUIT

Japanese Unexamined Patent No. 2001-257729

Laid-open on: September 21, 2001

Application No. 2000-68646

Filed on: March 8, 2000

Inventor: Katsutoshi HASHIBA

Applicant: Hitachi Kokusai Electric Inc.

Patent Attorney: Masami AKIMOTO

SPECIFICATION

[Title of the Invention] INTERFACE DETECTING CIRCUIT

[ABSTRACT]

[Object] The present invention provides a detecting circuit of an interface for transmitting a logic signal capable of also easily detecting a condition of disconnection of a signal line, and of detecting a condition of a connection or a mount/dismount state of a device without further adding a signal line.

[Solution Means] In a detecting circuit of an interface, a series circuit, which includes a pull-up resistor 233, forward diodes 235-238 and a pull-down resistor 234, is connected between a power supply VDD and a ground GND, and is provided in a receiving-side device 2; an input of an inverter 231 is



connected between the pull-up resistor 233 and the diode 235; an input of the other inverter 232 is connected between the pull-down 234 resistor and the diode 238; a line 17, which is connected to an inverter 13 of a transmitting-side device 1, is connected at a point between the diodes 235 and 236 and the diodes 237 and 238. The above circuit, which transmits at least 2 bits of logic signal and receives 4 bits of signal, is provided between the devices 1 and 2.

[WHAT IS CLAIMED IS;]

[Claim 1] A detecting circuit of an interface for detecting abnormal transmission of a logic signal between devices,

wherein a series circuit, which includes a pull-up resistor, at least two forward diodes and a pull-down resistor, is connected between a power supply and a ground, and is provided in a receiving-side device;

an input of a first inverter is connected between said pull-up resistor and the diode;

an input of a second inverter is connected between said pull-down resistor and the diode;

a line, which is connected to an inverter of a transmitting-side device, is connected at a point between said diodes.



[DETAILED DESCRIPTION OF THE INVENTION]

[0001]

[Field of the Invention] The present invention relates to an interface for transmitting a logic signal between devices, more particularly to a detecting circuit of an interface.

[0002]

[Prior Arts] Fig. 3 is a diagram showing a circuit of an interface for transmitting a logic signal, which is connected by a cable via connectors and transmits four types of information in 2-bit, as one example of a conventional interface for transmitting a logic signal.

[0003] In Fig. 3, a signal-a 31 and a signal-b 32 in a device-A 3 are connected to an inverter ICa 33 and an inverter ICb 34 as logic ICs, respectively. Outputs of the inverter ICa 33 and the inverter ICb 34 are connected to a connector 35 of the device-A 3. In addition, the 2-bit interface for transmitting a logic signal is comprised of a connector 45 connected by a cable composed of a line-A 37 and a line-B 38, a connector 46 of a device-B 4 connected to the connector 45, an inverter ICd 43 and an inverter ICe 44 connected to the connector 46. The interface transmits the signal-a 31 from the device-A 3 to the device-B 4 as a signal-a' 41, and transmits the signal-b 32 to the device-B 4 as a signal-b' 42.



[0004] Additionally, an inverter IC of CMOS IC is used as the logic IC in this circuit. In order to prevent a malfunction or breakage caused by input release of the logic IC, the inputs of the respective inverters are pulled up to +5 V via a resistor 47 and a resistor 48.

[0005] Fig. 4 is a truth table showing an example of a method for transmitting a logic signal from the device-A 3 to the device-B 4 shown in Fig. 3.

[0006] A conventional circuit can correctly recognize four types of information of a state-a to a state-d only when the signal lines of the devices are normally connected.

[0007] However, when the signal-a system is disconnected at a point in the line, the signal-a' 41 and the signal-b' 42 are logic "10" or logic "11." Accordingly, the device-B 4 incorrectly recognizes the state transmitted from the device-A 3 as the state-c or the state-d.

[0008] Moreover, when the signal-b system is disconnected at a point in the line, the signal-a' 41 and the signal-b' 42 are logic "01" or logic "11." Accordingly, the device-B 4 incorrectly recognizes the state transmitted from the device-A 3 as the state-b or the state-d.

[0009] When both the signal-a system and the signal-b system are disconnected at points in the lines, the signal-a' 41 and



the signal-b' 42 are logic "11." Accordingly, the device-B 4 incorrectly recognizes the state transmitted from the device-A as the state d.

[0010]

[Problems to be Solved by the Invention] Thus, in a conventional interface for transmitting a logic signal, a receiving side can correctly recognize a signal transmitted from the other side only when the connection between the devices is in a normal condition. However, when the connection between the devices is in an abnormal condition such as a poor connection between the connectors caused by a cable disconnection, disengaged connectors, or the like, it is impossible to recognize such a condition.

[0011] In addition, in order to recognize disengaged connectors, it is possible to recognize disengaged connectors by a method assigning a code of the state-d, which is the same state as the disengaged connectors, to the state of the disengaged connectors in the example of Fig. 3 and Fig. 4, for example. In this case, only three types of information of the state-a to the state-c can be transmitted at maximum, though four types of information can be transmitted at maximum by 2 bits of signal in a 2-line system. In order to transmit the state-d, an additional signal line is required.



[0012] Additionally, in order to recognize a state of a connection between the connectors or a mount/dismount state of the device, one more signal line can be added. However, it is a drawback that the number of pins of the connector increases.

[0013] The present invention is devised to solve the problem in a conventional art that a receiving side incorrectly recognizes a received signal when the connection between the devices is in an abnormal condition such as a poor connection between the connectors caused by a disconnection, or disengaged connectors. It is an object of the present invention to provide a detecting circuit of an interface for transmitting a logic signal capable of also detecting a condition of disconnection of a signal line, and of detecting a disconnection other than a High level and a Low level of a logic signal without further adding a signal line for detecting a state of a connection between the connectors or a mount/dismount state of a device.

[0014]

[Means for Solving the Problems]

To achieve the object, in a detecting circuit of an interface, a series circuit, which includes a pull-up resistor, at least two forward diodes and a pull-down resistor, is connected between a power supply and a ground, and is provided



in a receiving-side device; an input of a first inverter is connected between said pull-up resistor and the diode; an input of a second inverter is connected between said pull-down resistor and the diode; a line, which is connected to an inverter of a transmitting-side device, is connected at a point between said diodes.

[0015] According to the above means, the output of the first inverter is logic "0" and the output of the second inverter is also logic "0," when logic "1" is transmitted from the transmitting-side inverter to the receiving side by the line connection. In addition, both the first inverter and the second inverter output logic "1," when logic "0" is transmitted to the receiving side by the line connection.

[0016] Additionally, the output of the first inverter is logic "0" and the output of the second inverter is "1," when the transmitting line of a logic signal is open.

[0017] A circuit for transmitting 2 bits of signal is connected between the transmitting side and the receiving side by the lines. The receiving side receives four types of information by the two detecting circuits of the interface. Therefore, it is also possible to exactly detect a poor condition caused by a line disconnection, disengaged connectors, etc.

[0018]



[Preferred Embodiments of the Invention] The following description will describe an embodiment according to the present invention with reference to the drawings.

[0019] Fig. 1 is a diagram showing an interface for transmitting a logic signal, which is connected by cables via connectors and transmits four types of information in 2-bit, as one embodiment of an detecting circuit of an interface for transmitting a logic signal according to the present invention.

[0020] In the detecting circuit of an interface for transmitting a logic signal shown in Fig. 1, a signal-a 11 and a signal-b 12 in a device-A 1 are connected to an inverter ICa 13 and an inverter ICb 14 as logic ICs, respectively. Outputs of the inverter ICa 13 and the inverter ICb 14 are connected to a connector 15 of the device-A 1. In addition, the detecting circuit of an interface has a connector 16 connected to the connector 15, a connector 21 connected to the connector 16 by a cable composed of a line-A 17 and a line-B 18, a connector 22 of a device-B 2 connected to the connector 21, a detecting circuit of an interface 23 connected to the connector 22, and a detecting circuit of an interface 24 with the same circuit as the detecting circuit of an interface 23.

[0021] The detecting circuit of an interface 23 has an inverter ICc 231, a pull-up resistor Ra 233 connected between the



inverter ICc 231 and a +5V power supply, a diode Da 235 and a diode Db 236 serially connected to an input of the inverter ICc 231, an inverter ICd 232, a pull-down resistor Rb 234 connected between an input of the inverter ICd 232 and a ground, a diode Dd 238 and a diode Dc 237 serially connected to the input of the inverter ICd 232. A node between the diode Db 236 and the diode Dc 237 is connected to the line-A 17, and is an input point for transmission of a logic signal from the device-A 1.

[0022] Additionally, output signals of the inverter ICc 231 and the inverter ICd 232 are signal-a1' 25 and signal-a2' 26, respectively.

[0023] Moreover, the detecting circuit of an interface 24 has the same circuit as the detecting circuit of an interface 23. The detecting circuit of an interface 24 is connected to the line-B 18, and outputs a signal-b1' 27 and a signal-b2' 28.

[0024] Here, in the embodiment, each diode has the same electric characteristics. The resistors Ra and Rb have the same resistance. CMOS IC inverters are used as logic ICs.

[0025] The following description will describe operation of the side, in which the detecting circuit of an interface 23 is provided, as an example of this embodiment.

[0026] In the case that the signal inputted into the detecting



circuit of an interface 23 of the device-B 2 via the line-A 17 is a High level (logic: 1), +5 V of voltage is applied to a point A in the detecting circuit of an interface 23. Thus, the potential at a point B is also a High level (logic: 1). Accordingly, the signal-a1' 25 as the output signal of the detecting circuit of an interface 23 is a Low level (logic: 0).

[0027] On the other hand, the potential at a point C is a voltage value obtained by subtracting voltage drops of the diodes from the potential at point A.

[0028] For example, when a forward voltage of one diode is 0.6 V, the potential at point C is calculated as follows

$$+5 \text{ V} - (0.6 + 0.6 \text{ V}) = 3.8 \text{ V}$$

In addition, when a standard logic CMOS IC is used, the input voltage for detecting a High level is 3.15 V<sub>min</sub>. Accordingly, the signal-a2' 26 as the output signal of the detecting circuit of an interface 23 is a Low level (logic: 0).

[0029] Additionally, in the case that the signal inputted into the detecting circuit of an interface 23 of the device-B 2 via the line-A 17 is a Low level (logic: 0), point A in the detecting circuit of an interface 23 is the same potential as the ground (0 V). Thus, in consideration of voltage drops in accordance with the forward voltage of the diodes, point B is approximately



1.2 V. Accordingly, point B is a Low level (logic:0). Moreover, when a standard logic CMOS IC is used, the input voltage for detecting a Low level is  $1.35 V_{max}$ . Accordingly, the signal-a1' 25 as the output signal of the detecting circuit of an interface 23 is a High level (logic: 1). Since point C is also the same potential (0 V) as the ground, the signal-a2' 26 is also a High level (logic: 1).

[0030] When the signal-a is not transmitted from the device-A 1 to the device-B 2 via the signal line caused by disengaged connectors, a disconnection, or the like, the potential at point A of the detecting circuit of an interface 23 is 2.5 V. The reason is that the resistors Ra 233 and Rb 234 divide the voltage at point A so as to be the midpoint between VDD and the ground. Accordingly, the potential at point B becomes as a result of the forward voltages of the diodes as follows

$$+2.5 \text{ V} + (0.6 + 0.6 \text{ V}) \text{ V} = 3.7 \text{ V}$$

Accordingly, the signal-a1' as the output signal of the detecting circuit of an interface 23 is a Low level (logic: 0).

[0031] While, the potential at point C is a value obtained by subtracting voltage drops of the diodes from the potential at point A as follows

$$+2.5 \text{ V} - (0.6 + 0.6 \text{ V}) = 1.3 \text{ V}$$



Accordingly, the signal-a2' as the output signal of the detecting circuit of an interface 23 is a High level (logic: 1).

[0032] Fig. 2 is a truth table showing this operation.

[0033] When signal-a1' and signal-a2' in Fig. 1 are logic "01," the device-B 2 side can recognize an abnormal condition of the signal-a line system. When signal-b1' and signal-b2' are logic "01," the device-B 2 side can recognize an abnormal condition of the signal-b line system. When signal-a1', signal-a2', signal-b1' and signal-b2' are logic "0101," the device-B 2 side can recognize an abnormal condition of both signal line systems. Therefore, the device-B 2 side can recognize the abnormal conditions as distinguished from the state-a to the state-d.

[0034] Thus, the device-B side divides the 2 bits of signal from the device-A into double the 4 bits of signal. Consequently, the device-B can recognize the state-a to the state-d as a normal condition of transmission, a disconnection of only one side signal line system and of both signal lines as an abnormal condition of transmission.

[0035]

[Effects of the Invention] As mentioned above, the present invention additionally provides the detecting circuit of an



interface capable of detecting a disconnected condition other than a High level and a Low level of a logic signal. Accordingly, even when the connection between the devices is in an abnormal condition such as a disconnection or disengaged connectors for example, the receiving device side can detect the abnormal condition and can prevent incorrectly recognizing the received signal.

[0036] Moreover, without further adding a signal line between the devices for detecting the state of a connection between the connectors or a mount/dismount state of a device, it is possible to detect disengaged connectors or a mount/dismount state.

[Brief Description of the Drawings]

[Fig. 1] Fig. 1 is a circuit diagram showing a circuit of an interface for transmitting a logic signal of one embodiment according to the present invention.

[Fig. 2] Fig. 2 is a truth table showing operation of a circuit of an interface for transmitting a logic signal of one embodiment according to the present invention.

[Fig. 3] Fig. 3 is a circuit diagram showing a conventional circuit of an interface for transmitting a logic signal.

[Fig. 4] Fig. 4 is a truth table showing operation of a conventional circuit of an interface for transmitting a logic



signal.

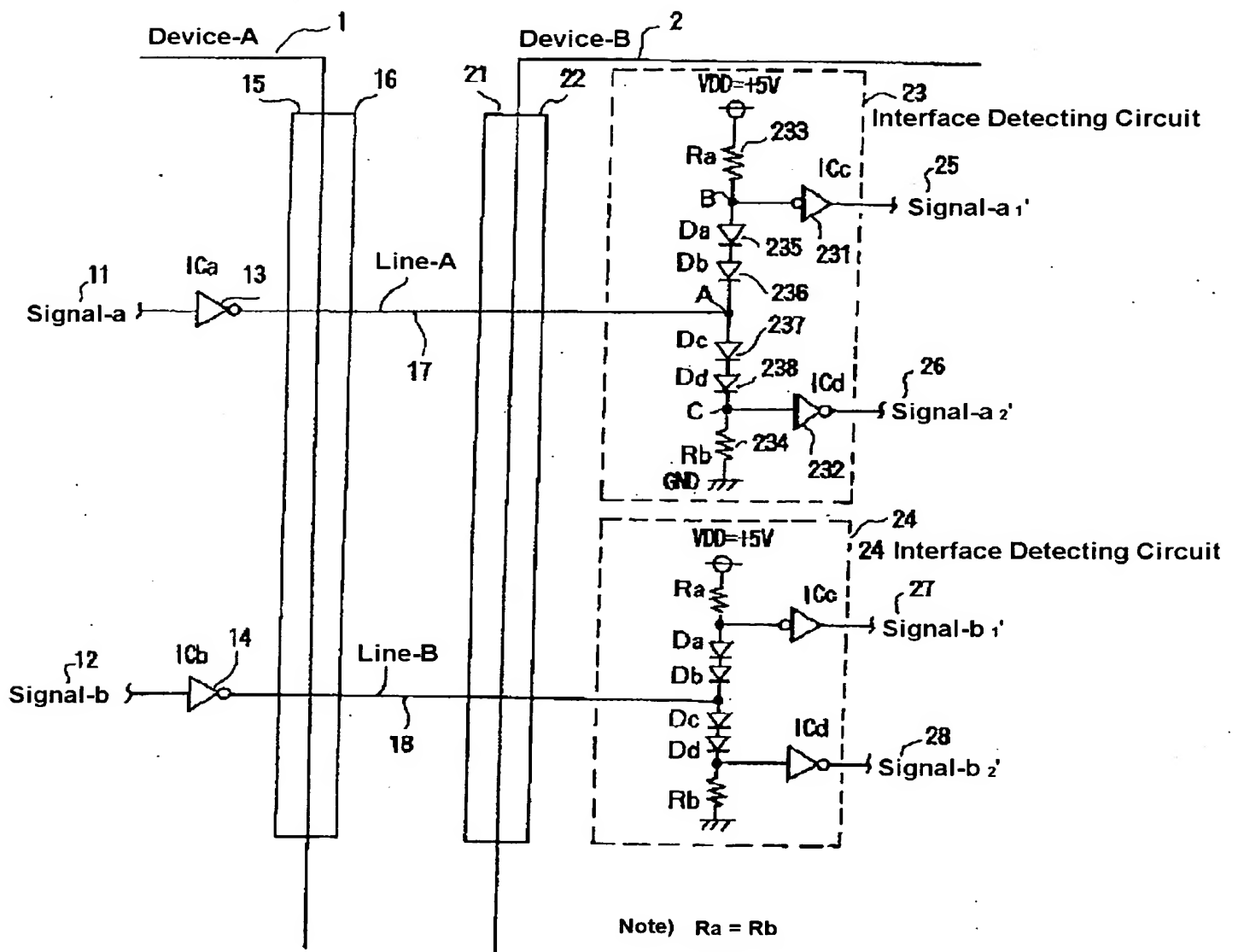
[Description of Symbols]

1...device-A,            2...device-B,            11...signal-a,  
12...signal-b, 13...inverter ICa, 14...inverter ICb, 15 and  
16...connector,    17...line-A,    18...line-B,    21    and  
22...connector, 23 and 24...interface detecting circuit,  
25...signal-a<sub>1</sub>',            26...signal-a<sub>2</sub>',            27...signal-b<sub>1</sub>',  
28...signal-b<sub>2</sub>', 231...inverter ICc, 232...inverter ICd, 233  
and 234...resistor, 235-238...diode

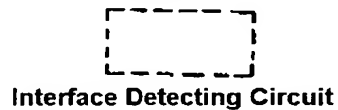


# Fig.1

[Fig. 1]



Note)  $R_a = R_b$





# Fig.2

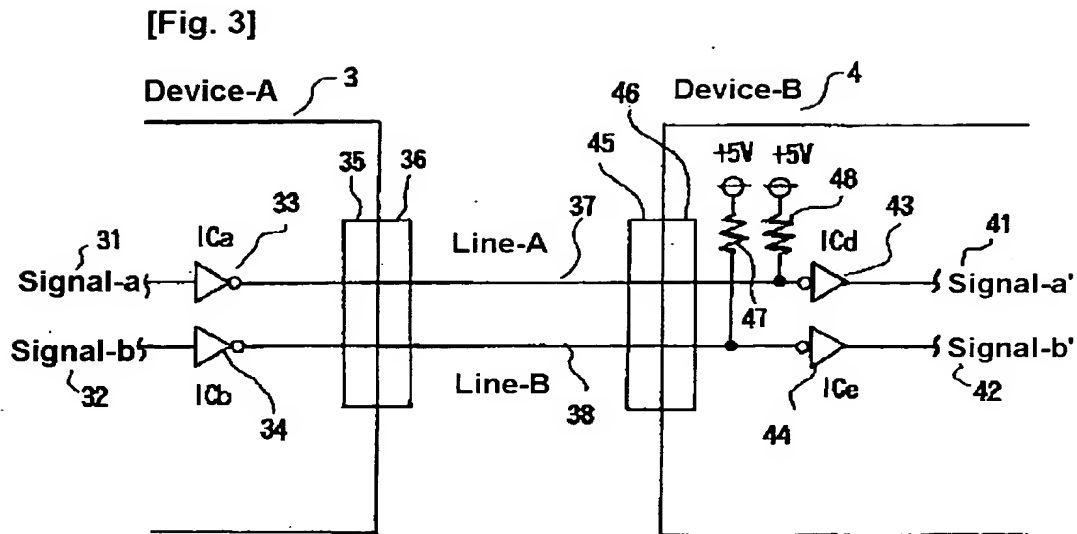
[Fig. 2]

Types of Transmission	Signal of Device-A		Signal of Device-B			
	Signal-a (Line-A)	Signal-b (Line-B)	Signal-a <sub>1</sub> '	Signal-a <sub>2</sub> '	Signal-b <sub>1</sub> '	Signal-b <sub>2</sub> '
Normal Condition	State-a	1	1	0	0	0
	State-b	1	0	0	1	1
	State-c	0	1	1	0	0
	State-d	0	0	1	1	1
Abnormal Condition	Signal-a System is Disconnected	Open	X	0	1	X
	Signal-b System is Disconnected	X	Open	X	0	1
	Both Signal-a, -b are Disconnected	Open	Open	0	1	0

0: Low Level    1: High Level    X: Indeterminate    Open: Disconnected Condition



# Fig.3



# Fig.4

[Fig. 4]

	Types of Transmission	Signal of Device-A		Signal of Device-B	
		Signal-a (Line-A)	Signal-b (Line-B)	Signal-a'	Signal-b'
Normal Condition	State-a	1	1	0	0
	State-b	1	0	0	1
	State-c	0	1	1	0
	State-d	0	0	1	1
Abnormal Condition	Signal-a System is Disconnected	Open	X	1	X
	Signal-b System is Disconnected	X	Open	X	1
	Both Signal-a, -b are Disconnected	Open	Open	1	1

0: Low Level 1: High Level X: Indeterminate Open: Disconnected Condition



(19)日本国特許庁 (JP)

# (12)公開特許公報 (A)

(11)特許出願公開番号  
特開2001-257729  
(P 2001-257729A)  
(43)公開日 平成13年9月21日(2001.9.21)

(51)Int.Cl. <sup>7</sup>	識別記号	F I	テーマコード (参考)
H04L 25/02	301	H04L 25/02	301 C 2G014
G01R 31/02		G01R 31/02	5J032
G06F 1/18		H03K 19/003	Z 5K029
H03K 19/003		G06F 1/00	320 J

審査請求 未請求 請求項の数 1 O L (全 6 頁)

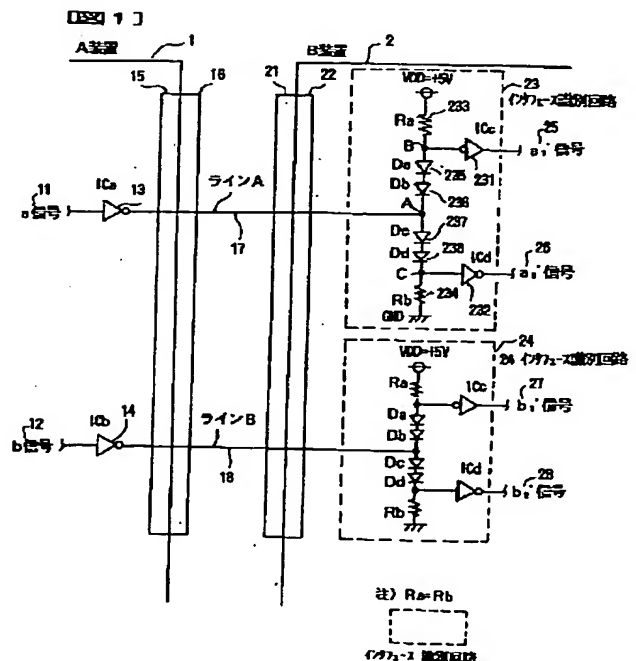
(21)出願番号	特願2000-68646(P 2000-68646)	(71)出願人	000001122 株式会社日立国際電気 東京都中野区東中野三丁目14番20号
(22)出願日	平成12年3月8日(2000.3.8)	(72)発明者	橋場 勝敏 東京都中野区東中野三丁目14番20号 国際 電気株式会社内
		(74)代理人	100059269 弁理士 秋本 正実
		Fターム(参考)	2G014 AA02 AB60 AC08 AC18 5J032 AA02 AB11 AC11 5K029 AA01 CC01 DD02 DD23 GG07 HH08 JJ06 KK13 KK24 LL11

## (54)【発明の名称】 インタフェース識別回路

### (57)【要約】

【課題】 装置間の信号線の断線状態も容易に識別することができ、コネクタの接続状態や装置の実装/未実装を信号線を更に追加することなく検出することができるロジック信号伝送インタフェースの識別回路を提供することにある。

【解決手段】 インタフェース識別回路は受信側装置2に設けられ、電源VDDとグランドGND間にプルアップ抵抗233と順方向ダイオード235~238とプルダウン抵抗234の直列回路を接続し、プルアップ抵抗233とダイオード235間にインバータ231の入力を接続し、プルダウン抵抗234とダイオード238間に他のインバータ232の入力を接続し、ダイオード235、236とダイオード237、238の中間点に送信側装置1のインバータ13に接続されるライン17を接続してなる。装置1、2間には上記回路が少なくとも2ビットのロジック信号を伝送し4ビットの信号を受信する回路が設けられる。





## 【特許請求の範囲】

【請求項 1】 装置間のロジック信号伝送の異常を検出するインタフェース識別回路において、受信側装置に設けられ、電源とグランド間にプルアップ抵抗と少なくとも 2 つの順方向ダイオードとプルダウン抵抗の直列回路を接続し、前記プルアップ抵抗とダイオード間に第 1 のインバータの入力を接続し、前記プルダウン抵抗とダイオード間に第 2 のインバータの入力を接続し、前記ダイオードの中間点に送信側装置のインバータに接続されるラインを接続してなることを特徴とするインタフェース識別回路。

## 【発明の詳細な説明】

## 【0001】

【発明の属する技術分野】本発明は、装置間において、ロジック信号の伝送を行うインタフェース、特にインタフェース識別回路に関するものである。

## 【0002】

【従来の技術】図 3 は、従来のロジック信号の伝送を行うインタフェースの一例で、装置間がコネクタを介してケーブル接続され 2 ビットで 4 種の情報を相手装置へ伝送するロジック信号伝送インタフェースの回路構成を示す。

【0003】図 3 において、A 装置 3 内の a 信号 3 1 と b 信号 3 2 がそれぞれロジック IC であるインバータ IC a 3 3、インバータ IC b 3 4 に接続され、インバータ IC a 3 3、インバータ IC b 3 4 の出力が A 装置 3 のコネクタ 3 5 に接続され、また、コネクタ 3 5 と接続するコネクタ 3 6、コネクタ 3 6 とライン A 3 7、ライン B 3 8 から成るケーブルで接続されているコネクタ 4 5、コネクタ 4 5 と接続する B 装置 4 のコネクタ 4 6、コネクタ 4 6 と接続されるインバータ IC d 4 3、インバータ IC e 4 4 で構成され、A 装置 3 からの a 信号 3 1 を B 装置 4 へ a' 信号 4 1 として、また、A 装置 3 から b 信号 3 2 を B 装置 4 へ b' 信号 4 2 として伝送する 2 ビットのロジック信号伝送インタフェースを構成している。

【0004】なお、本回路では、ロジック IC として CMOS IC のインバータ IC を使用し、ロジック IC の入力解放による誤動作や破損を防止するために各インバータの入力を抵抗 4 7、抵抗 4 8 で +5 V にプルアップしている。

【0005】図 4 は、図 3 の A 装置 3 から B 装置 4 へのロジック信号の伝送方法の例を真理値表で表したものである。

【0006】従来の回路構成では、装置間の信号ラインが正常に接続されている場合にのみ、状態 a から状態 d までの 4 種の情報を B 装置側で正しく認識することができる。

【0007】しかし、a 信号系が途中で断線している場合、図 3 の a' 信号 4 1、b' 信号 4 2 が、論理 “1

0” 又は論理 “1 1” となるため B 装置 4 は、A 装置 3 から送出された状態を、状態 c または状態 d と誤認識してしまう。

【0008】また、b 信号系が途中で断線している場合、a' 信号 4 1、b' 信号 4 2 が、論理 “0 1” 又は論理 “1 1” となるため B 装置 4 は、A 装置 3 から送出された状態を、状態 b または状態 d と誤認識してしまう。

【0009】a 信号及び b 信号系が共に途中で断線している場合、a' 信号 4 1、b' 信号 4 2 が論理 “1 1” となるため B 装置 4 は、A 装置 3 から送出された状態が状態 d と誤認識してしまう。

## 【0010】

【発明が解決しようとする課題】このように、従来のロジック信号伝送インタフェースは、装置間の接続が正常である場合のみ、受端側で相手装置の送信信号を正しく認識することができるが、装置間の接続に異常がある場合、例えば、ケーブルの断線、コネクタの抜け等によるコネクタ接続不良等に対応することができない。

【0011】また、コネクタの未接続を認識するため、例えば、図 3 及び図 4 の例において、コネクタ未接続状態と同一状態となる状態 d のコードをコネクタ未接続という状態に割り当てる方法でもコネクタの未接続に対応できるが、この場合には、2 線式の場合、2 bit の信号で最大 4 種の状態が伝送可能であるのに、状態 a ~ 状態 c まで最大 3 種の状態しか伝送することができない。状態 d を伝送するためには、更に信号線の追加が必要となる。

【0012】また、図 3 の構成に、コネクタの接続状態の識別や装置の実装／未実装を識別するために更に信号線を一本追加する等の対策をする場合もあるが、コネクタのピン数の増加が必要となる。等の欠点がある。

【0013】本発明の目的は、従来技術の問題点である、装置間の接続に異常がある場合、例えば、断線、コネクタの抜けによるコネクタの接続不良等を識別することができないことによって、受端装置側で受信する信号が誤認識されるという従来の問題点を解決し、信号線の断線状態も識別することができ、且つ、装置間において、コネクタの接続状態や装置の実装／未実装を識別するための信号線を更に追加することなく、ロジック信号の High レベル及び Low レベル以外にも断線を検出することができるロジック信号伝送インタフェースの識別回路を提供することにある。

## 【0014】

【課題を解決するための手段】上記目的は、受信側装置に設けられ、電源とグランド間にプルアップ抵抗と少なくとも 2 つの順方向ダイオードとプルダウン抵抗の直列回路を接続し、前記プルアップ抵抗とダイオード間に第 1 のインバータの入力を接続し、前記プルダウン抵抗とダイオード間に第 2 インバータの入力を接続し、前記ダ



イオードの中間点に送信側装置のインバータに接続されるラインを接続してなるインタフェース識別回路によって達成される。

【0015】上記手段によると、送信側インバータからライン接続で受信側に論理“1”が伝送されると、第1のインバータの出力は論理“0”、第2インバータの出力も論理“0”となる。またライン接続で受信側に論理“0”が伝送されると、第1及び第2インバータとも論理“1”が出力する。

【0016】また、ロジック信号の伝送ラインがオープンすると第1インバータの出力は論理“0”、第2インバータの出力は論理“1”となる。

【0017】上記送信側および受信側間にライン接続された2ビットの信号を伝送する回路を設け、受信側で2つのインタフェース識別回路により4種の情報を受信することによって、ラインの断線、コネクタの抜け等による不良状態をも受信装置側で正確に識別することができる。

【0018】

【発明の実施の形態】以下、本発明の実施の形態を図面により説明する。

【0019】図1は、本発明のロジック信号の伝送を行うインタフェースの識別回路の一実施形態で、装置間がコネクタを介してケーブル接続された2ビットで4種の情報を相手装置へ伝送するロジック信号伝送インタフェースの場合を示す。

【0020】図1に示すロジック信号伝送インタフェースの識別回路は、A装置1内のa信号11とb信号12がそれぞれロジックICであるインバータICa13、インバータICb14と接続され、インバータICa13、インバータICb14の出力がA装置1のコネクタ15に接続され、また、コネクタ15と接続するコネクタ16、コネクタ16とラインA17、ラインB18から成るケーブル接続されているコネクタ21、コネクタ21と接続するB装置2のコネクタ22、コネクタ22と接続されるインタフェース識別回路23及びインタフェース識別回路23と同一回路構成のインタフェース識別回路24で構成される。

【0021】インタフェース識別回路23は、インバータICc231、インバータICc231の入力と電源+5V間に接続されているプルアップ抵抗Ra233、インバータICc231の入力に直列接続されるタイオードDa235、ダイオードDb236、インバータICd232、インバータICd232の入力とグランド間に接続されるプルダウン抵抗Rb234、インバータICd232の入力に直列接続されるダイオードDd238、ダイオードDc237で構成され、ダイオードDb236とダイオードDc237の接続点がラインA17と接続され、A装置1からの伝送信号入力点となる。

【0022】また、インバータICc231、インバー

タICd232の出力信号がそれぞれa1'信号25、a2'信号26となる。

【0023】また、インタフェース識別回路24もインタフェース識別回路23と同一回路構成であり、インタフェース識別回路24には、ラインB18が接続され、b1'信号27、b2'信号28が出力される。

【0024】なお、各ダイオードは同一電気的特性を有す品であり、抵抗RaとRbの抵抗値は同一とし、ロジックICとしてCMOS ICインバータを使用した場合を示す。

【0025】本実施形態のインタフェースの動作をインタフェース識別回路23を設けた側を例に以下に示す。

【0026】ラインA17を経由してB装置2のインタフェース識別回路23へ入力される信号がHighレベル（論理：1）の場合、インタフェース識別回路23内のA点には、+5Vの電圧が印加される。これによりB点の電位も、Highレベル（論理：1）になるため、インタフェース識別回路23の出力信号であるa1'信号25はLowレベル（論理：0）となる。

【0027】一方、C点の電位は、A点の電位からダイオードの順方向電圧による電圧降下分を引いた電圧値となる。

【0028】例えば、ダイオード1個の順方向電圧が0.6Vの場合、C点の電位は、

$$+5V - (0.6 + 0.6V) = 3.8V$$

となる。なお、標準ロジックCMOS ICの場合、Highレベル検出入力電圧は、3.15V<sub>min</sub>であるためインタフェース識別回路23の出力信号であるa2'信号26は、Lowレベル（論理：0）となる。

【0029】また、ラインA17を経由してB装置2のインタフェース識別回路23へ入力される信号がLowレベル（論理：0）の場合、インタフェース識別回路23内のA点はグランドと同電位（0V）となる。よってB点は、ダイオードの順方向電圧による電圧降下分を考慮すると約1.2VとなるためLowレベル（論理：0）となる。なお、標準ロジックCMOS ICの場合、Lowレベル検出入力電圧は、1.35V<sub>max</sub>であるためインタフェース識別回路23の出力信号であるa1'信号25は、Highレベル（論理：1）となる。C点もグランドと同電位（0V）であるため、a2'信号26もHighレベル（論理：1）となる。

【0030】コネクタ未接続や断線等による信号線によりa信号がA装置1からB装置2へ伝送されない場合、インタフェース識別回路23のA点の電位は、抵抗Ra233、Rb234によりVDDとグランドの midpoint に分圧されて2.5Vとなる。よって、B点の電位は、ダイオードの順方向電圧により

$$+2.5V + (0.6 + 0.6V) = 3.7V$$

となるためインタフェース識別回路23の出力信号a1'信号は、Lowレベル（論理：0）となる。



【0031】一方、C点の電位は、A点の電位からダイオードの順方向電圧分を引いた値となり、  
 $+2.5V - (0.6 + 0.6V) V = 1.3V$   
 となるためインタフェース識別回路23の出力信号であるa2'信号は、High(論理1)となる。

【0032】この動作を真理値表で表したのが図2である。

【0033】B装置2側では、図1のa1'、a2'信号が論理“01”の場合には、a信号ライン系の異常、b1'、b2'信号が論理“01”の場合には、b信号ライン系の異常、a1'、a2'、b1'、b2'信号が論理“0101”の場合には、両方の信号ライン系の異常と判断することができ、装置B2側では、正常状態である、状態aから状態dと区別して識別することができる。

【0034】このように、A装置1からの2bitの信号をB装置内で二倍の4bitの信号に分解することにより、伝送正常状態である状態aから状態d、伝送異常状態である、片側の信号ライン系のみ断線、及び両方の信号ラインの断線までB装置で識別することが可能となる。

【0035】

【発明の効果】以上のように、本発明によればロジック信号のHighレベル及びLowレベル以外にも断線状態を検出することができるインタフェース識別回路を追加したことにより、装置間の接続に異常がある場合、例

えば、断線、コネクタの抜け等によるコネクタ接続不良等があった場合でも受端装置側で、その異常状態を識別することができ、受信信号の誤認識を防ぐことができる。

【0036】また、装置間において、コネクタの接続状態や装置の実装/未実装を識別するための信号を新たに追加することなく、コネクタ未接続または実装/未実装の識別が可能である。

【図面の簡単な説明】

【図1】本発明の一実施形態のロジック信号伝送インタフェースの回路構成図。

【図2】本発明の一実施形態のロジック信号伝送インタフェース回路の動作を表示する真理値表。

【図3】従来のロジック信号伝送インタフェースの回路構成図。

【図4】従来のロジック信号伝送インタフェース回路の動作を表示する真理値表。

【符号の説明】

1…A装置、2…B装置、11…a信号、12…b信号、13…インバータICa、14…インバータICb、15、16…コネクタ、17…Aライン、18…Bライン、21、22…コネクタ、23、24…インタフェース識別回路、25…a1'信号、26…a2'信号、27…b1'信号、28…b2'信号、231…インバータICc、232…インバータICd、233、234…抵抗、235～238…ダイオード。

【図2】

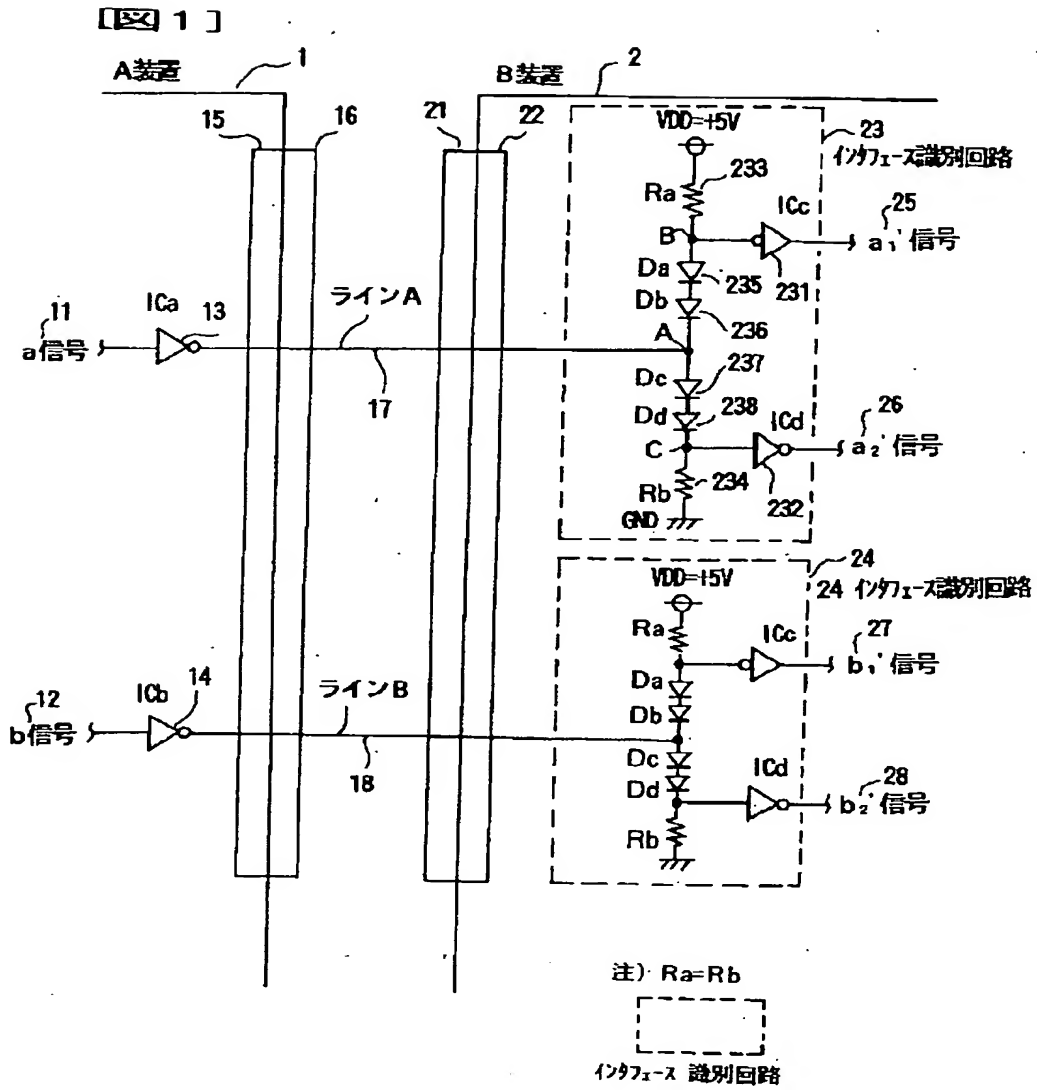
【図2】

伝送種別	A装置の信号		B装置の信号			
	aの信号 (ラインA)	bの信号 (ラインB)	a1'信号	a2'信号	b1'信号	b2'信号
正常状態	状態a	1	1	0	0	0
	状態b	1	0	0	1	1
	状態c	0	1	1	0	0
	状態d	0	0	1	1	1
異常状態	a信号系断線	Open	×	0	1	×
	b信号系断線	×	Open	×	×	0
	a,b信号両方断線	Open	Open	0	1	0

0:Lowレベル 1:Highレベル ×:不定 Open:断線状態

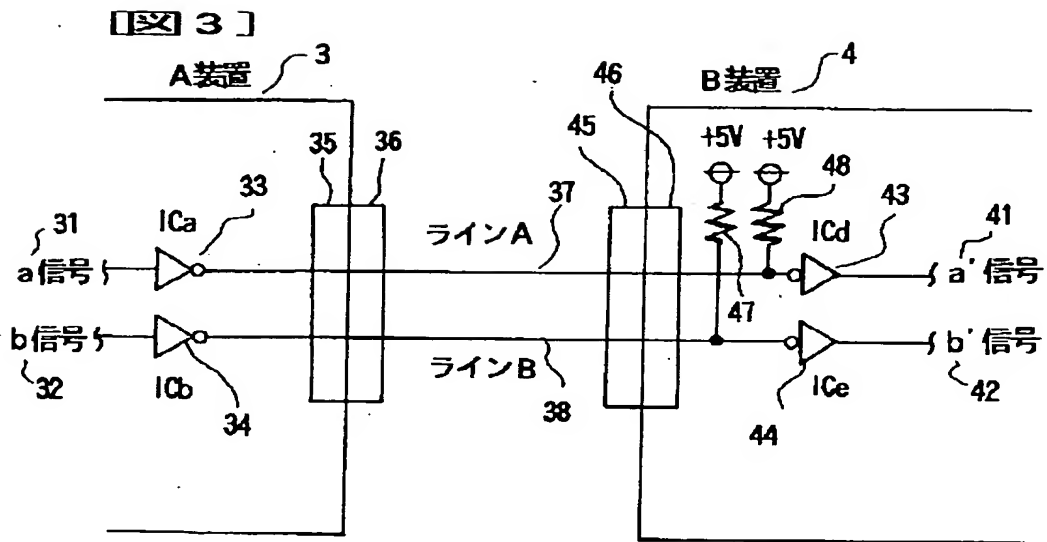


【図1】





【図3】



【図4】

【図4】

		A装置の信号		B装置の信号	
伝送種別		aの信号 (ラインA)	bの信号 (ラインB)	a' 信号	b' 信号
正常状態	状態a	1	1	0	0
	状態b	1	0	0	1
	状態c	0	1	1	0
	状態d	0	0	1	1
異常状態	a信号系が断線	Open	×	1	×
	b信号系が断線	×	Open	×	1
	a, b 信号両方断線	Open	Open	1	1

0 : Lowレベル

1 : Highレベル

× : 不定

Open : 断線状態